

Proposte di tesi e
progetti ·
Sistemi Embedded di Rete

2014/2015

Davide Quaglia

Sommario

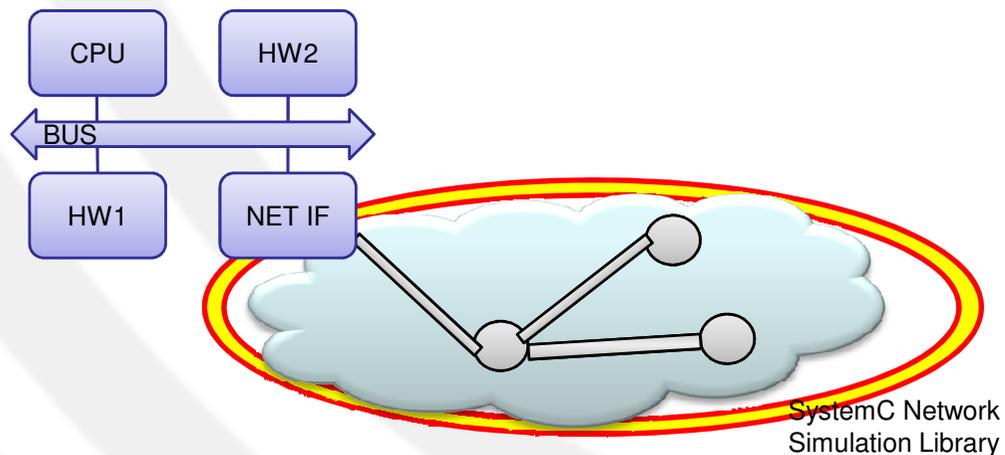
- Regole
- Simulazione di rete
- Verifica sistemi di rete
- Sintesi di rete
- Modellazione di componenti analogici
- Astrazione di modelli di componenti analogici
- Networked control systems

Regole

- **Progetto**
 - 40 ore/persona
 - Possibilità di gruppi
 - Possibile sinergia con progetto SSE, SOA, AA, PSE, stage, tesi
- **Tesi**
 - 24 CFU → 4 mesi a tempo pieno
 - Ricerca pubblicabile

Simulazione di rete

- Estensione di SystemC Network Simulation Library
 - Nuovi protocolli
 - Nuovi canali
 - Antenne
- Estensione di virtual platform per simulazione di rete



Verifica sistemi di rete

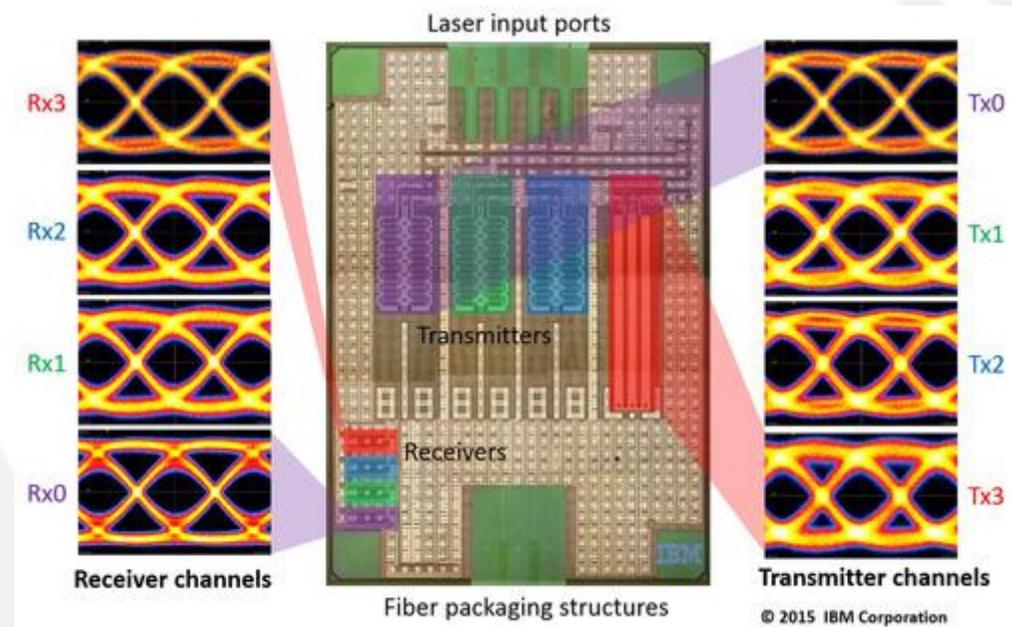
- Dimostrare la correttezza di
 - HW rete
 - SW (Protocolli)
- attraverso l'osservazione di tracce di attività reale o simulata

Sintesi di rete

- Estensione della toolchain UML-to-SCNSL
- Metodi ottimali per la generazione della topologia/configurazione di rete

Modellazione di componenti analogici

- MEMS
- Sistemi opto-elettronici
- Interfacce radio
- Lab-on-chip



Astrazione di modelli di componenti analogici

- La simulazione di componenti analogici è tradizionalmente molto più lenta della simulazione di componenti digitali
- Come astrarre i modelli analogici in modo da simularli ASSIEME e ALLA STESSA VELOCITA' dei modelli digitali?

Networked control systems

- Implementazione di controllori avanzati per esecuzione in tempo reale su piattaforma embedded
- Tecniche di progettazione congiunta controllore-rete per veicoli wireless
- Sicurezza dei networked control systems

